

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-344537  
 (43)Date of publication of application : 29.11.2002

(51)Int.Cl.

H04L 13/08  
 G06F 13/38

(21)Application number : 2001-143429  
 (22)Date of filing : 14.05.2001

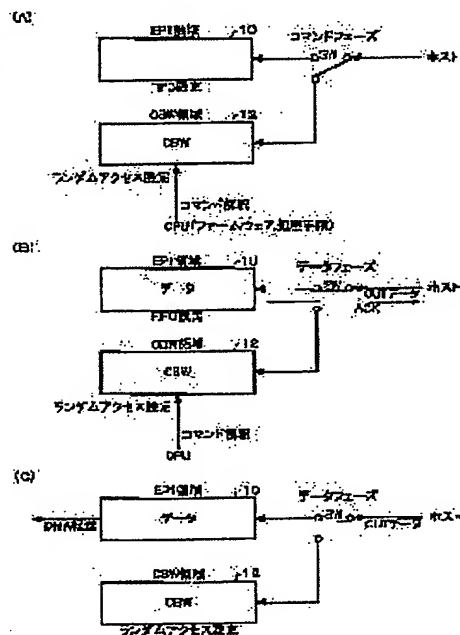
(71)Applicant : SEIKO EPSON CORP  
 (72)Inventor : ISHIDA TAKUYA  
 KANBARA YOSHIYUKI

## (54) DATA TRANSFER CONTROL UNIT AND ELECTRONIC APPARATUS

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a data transfer control unit which is capable of improving the effective transfer rate of a bus, and an electronic apparatus.

SOLUTION: When information such as CBW and data is allocated so as to be transferred through an end point EP1, a buffer in which a CBW region 12 (randomly accessible command storage area) and an EP1 region 10 (FIFO data storage area) are prepared is provided. When a USB is switched from a command phase (command transport) to a data phase (data transport), an information writing region is switched from the CBW region 12 to the EP1 region 10, and OUT data transferred from a host to the end point EP1 are written in the EP1 region. On the condition that acknowledgement is sent to the host in the command phase, an information writing region is switched from the CBW region 12 to the EP1 region 10. When a toggle is wrongly operated, an information writing region is not switched even if acknowledgement is sent.



## LEGAL STATUS

[Date of request for examination] 03.10.2002  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number] 3680762  
 [Date of registration] 27.05.2005  
 [Number of appeal against examiner's decision of rejection]  
 [Date of requesting appeal against examiner's decision of rejection]  
 [Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-344537  
(P2002-344537A)

(43) 公開日 平成14年11月29日 (2002. 11. 29)

(51) Int.Cl. <sup>1</sup>	識別記号	F I	テーマコード* (参考)
H 0 4 L 13/08		H 0 4 L 13/08	5 B 0 7 7
G 0 6 F 13/38	3 1 0	G 0 6 F 13/38	3 1 0 H 5 K 0 3 4
	3 5 0		3 5 0

審査請求 未請求 請求項の数10 O L (全 26 頁)

(21) 出願番号 特願2001-143429(P2001-143429)

(22) 出願日 平成13年 5 月14日 (2001. 5. 14)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿 2 丁目 4 番 1 号

(72) 発明者 石田 卓也

長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

(72) 発明者 神原 義幸

長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

(74) 代理人 100090479

弁理士 井上 一 (外 2 名)

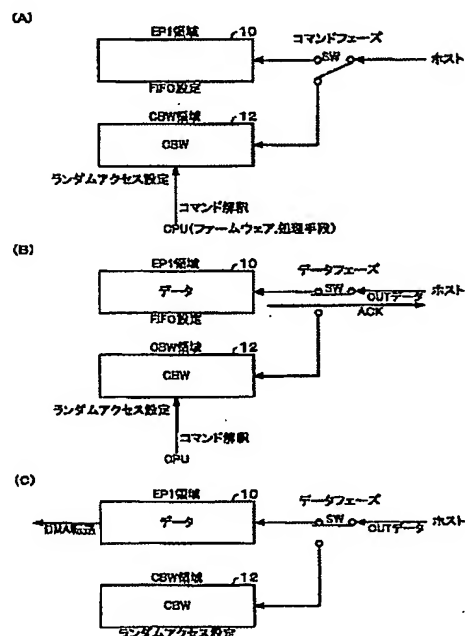
最終頁に続く

(54) 【発明の名称】 データ転送制御装置及び電子機器

(57) 【要約】

【課題】 実効的なバスの転送速度を向上できるデータ転送制御装置及び電子機器を提供すること。

【解決手段】 1つのエンドポイントEP1を介して転送される情報としてCBWとデータとが割り当てられている場合に、CBW領域12（ランダムアクセス可能なコマンド記憶領域）とEP1領域10（FIFO設定のデータ記憶領域）とが用意されるバッファを設ける。そして、USBのコマンドフェーズ（コマンドトランスポート）からデータフェーズ（データトランスポート）に切り替わった場合に、情報の書き込み領域をCBW領域12からEP1領域10に切り替え、ホストからエンドポイントEP1に向けて転送されるOUTデータをEP1領域に書き込む。コマンドフェーズでのアクリッジがホストに返されたことを条件に、CBW領域12からEP1領域10に切り替える。トグルミスの場合には、ACKが返されても領域切り替えを行わないようにする。



## 【特許請求の範囲】

【請求項1】 バスを介したデータ転送のためのデータ転送制御装置であって、

1つのエンドポイントを介して転送される情報として第1、第2の情報を含む複数種類の情報が割り当てられている場合に、第1の情報用の第1の記憶領域と第2の情報用の第2の記憶領域とが1つのエンドポイントに対応して用意されるバッファと、

バスを介して第1の情報が転送される第1のフェーズでは、ホストからエンドポイントに向けて転送される情報を、第1の情報用の前記第1の記憶領域に書き込み、バスを介して第2の情報が転送される第2のフェーズでは、ホストからエンドポイントに向けて転送される情報を、第2の情報用の前記第2の記憶領域に書き込むバッファ管理回路とを含むことを特徴とするデータ転送制御装置。

【請求項2】 請求項1において、

第1の情報用に用意された前記第1の記憶領域が、情報のランダムアクセスが可能な領域に設定され、

第2の情報用に用意された前記第2の記憶領域が、先に入力された情報が先に出力される領域に設定されていることを特徴とするデータ転送制御装置。

【請求項3】 請求項2において、

第1の情報が記憶される前記第1の記憶領域の先頭アドレス以外の領域に、第2の情報の転送を指示するコマンドブロック及びコマンドブロックにより転送が指示される第2の情報の長さ情報の少なくとも一方が書き込まれることを特徴とするデータ転送制御装置。

【請求項4】 請求項1乃至3のいずれかにおいて、

前記第1のフェーズのデータ転送についてのアクノリッジがホストに返されたことを条件に、ホストからエンドポイントに向けて転送される情報の書き込み領域が、前記第1の記憶領域から前記第2の記憶領域に切り替えられることを特徴とするデータ転送制御装置。

【請求項5】 請求項4において、

ホストとの間でトランザクションのシーケンスを同期化するためのデータトルビットにエラーが生じた場合には、アクノリッジがホストに返された場合でも、前記第1の記憶領域から前記第2の記憶領域への切り替えを行わないことを特徴とするデータ転送制御装置。

【請求項6】 請求項1乃至5のいずれかにおいて、

前記第1の情報が、コマンドブロックのパケットであり、前記第2の情報が、前記コマンドブロックの指示により転送されるデータのパケットであることを特徴とするデータ転送制御装置。

【請求項7】 請求項6において、

処理手段が前記コマンドブロックのパケットを解釈している間に、データのパケットが前記第2の記憶領域に書き込まれることを特徴とするデータ転送制御装置。

【請求項8】 バスを介したデータ転送のためのデータ転送制御装置であって、

1つのエンドポイントを介して転送される情報としてコマンドブロックのパケットとデータのパケットとが割り当てられている場合に、コマンドブロック用のコマンド記憶領域とデータ用のデータ記憶領域とが1つのエンドポイントに対応して用意されるバッファと、

バスを介してコマンドブロックのパケットが転送されるコマンドフェーズから、バスを介してデータのパケットが転送されるデータフェーズに切り替わった場合に、情報の書き込み領域をコマンドブロック用の前記コマンド記憶領域からデータ用のデータ記憶領域に切り替え、ホストからエンドポイントに向けて転送されるデータのパケットを前記データ記憶領域に書き込むバッファ管理回路とを含むことを特徴とするデータ転送制御装置。

【請求項9】 請求項1乃至8のいずれかにおいて、USB (Universal Serial Bus)の規格に準拠したデータ転送を行うことを特徴とするデータ転送制御装置。

【請求項10】 請求項1乃至9のいずれかのデータ転送制御装置と、

前記データ転送制御装置及びバスを介して転送されるデータの出力処理又は取り込み処理又は記憶処理を行う装置と、

を含むことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、データ転送制御装置及び電子機器に関する。

【0002】

【背景技術及び発明が解決しようとする課題】近年、パーソナルコンピュータと周辺機器（広義には電子機器）とを接続するためのインターフェース規格として、USB (Universal Serial Bus)が注目を集めている。このUSBには、従来は別々の規格のコネクタで接続されていたマウスやキーボードやプリンタなどの周辺機器を、同じ規格のコネクタで接続できると共にいわゆるプラグ&プレイやホットプラグも実現できるという利点がある。

【0003】一方、このUSBには、同じくシリアルバスインターフェース規格として脚光を浴びているIEEE 1394に比べて、転送速度が遅いという問題点がある。

【0004】そこで、従来のUSB 1.1の規格に対する互換性を持ちながら、USB 1.1に比べて格段に高速な480Mbps (HSモード)のデータ転送速度を実現できるUSB 2.0規格が策定され、注目を浴びている。

【0005】さて、このUSB 2.0では、HS (High Speed) モード時には480Mbpsでデータ転送が行われる。従って、高速な転送速度が要求されるハードデ

ィスクドライブや光ディスクドライブなどのストレージ機器のインターフェースとして用いることができるという利点がある。

【0006】しかしながら、その一方で、USBバスに接続されるデータ転送制御装置は、480Mbpsという高速で転送されてくるデータを処理しなければならない。従って、データ転送制御装置の処理速度や、データ転送制御装置を制御するファームウェア(CPU)の処理速度が遅いと、実効的な転送速度を確保できず、バス帯域をロスしてしまうという課題がある。

【0007】本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、実効的なバスの転送速度を向上できるデータ転送制御装置及び電子機器を提供することにある。

【0008】

【課題を解決するための手段】上記課題を解決するために本発明は、バスを介したデータ転送のためのデータ転送制御装置であって、1つのエンドポイントを介して転送される情報として第1、第2の情報を含む複数種類の情報が割り当てられている場合に、第1の情報用の第1の記憶領域と第2の情報用の第2の記憶領域とが1つのエンドポイントに対応して用意されるバッファと、バスを介して第1の情報が転送される第1のフェーズでは、ホストからエンドポイントに向けて転送される情報を、第1の情報用の前記第1の記憶領域に書き込み、バスを介して第2の情報が転送される第2のフェーズでは、ホストからエンドポイントに向けて転送される情報を、第2の情報用の前記第2の記憶領域に書き込むバッファ管理回路とを含むことを特徴とする。

【0009】本発明によれば、所与のエンドポイントに割り当てられる第1の情報用の第1の記憶領域と、同じエンドポイントに割り当てられる第2の情報用の第2の記憶領域とが、バッファに用意される。そして、第1のフェーズ(第1のトランスポート)では、ホストからエンドポイントに向けて転送される情報が第1の記憶領域に書き込まれ、第2のフェーズ(第2のトランスポート)では、ホストからエンドポイントに向けて転送される情報が第2の記憶領域に書き込まれる。例えば、第1のフェーズから第2のフェーズに切り替わった場合に、エンドポイントに向けられた情報の書き込み領域が、第1の記憶領域から第2の記憶領域に切り替わる。

【0010】このようにすることで、1つのエンドポイントに複数種類の情報が割り当てられている場合にも、第1の記憶領域に書き込まれた第1の情報について処理を行いながら、第2の記憶領域に第2の情報を書き込むことが可能になる。従って、データ転送制御装置の処理速度の向上や、第1の情報を処理する手段の負荷を軽減することが可能になり、実効的なバスの転送速度を向上できる。

【0011】また本発明は、第1の情報用に用意された

前記第1の記憶領域が、情報のランダムアクセスが可能な領域に設定され、第2の情報用に用意された前記第2の記憶領域が、先に入力された情報が先に出力される領域に設定されていることを特徴とする。

【0012】このようにすれば、第1の記憶領域に書き込まれた第1の情報を処理する手段の処理速度の向上等を図れる。

【0013】また本発明は、第1の情報が記憶される前記第1の記憶領域の先頭アドレス以外の領域に、第2の情報の転送を指示するコマンドブロック及びコマンドブロックにより転送が指示される第2の情報の長さ情報の少なくとも一方が書き込まれることを特徴とする。

【0014】このような場合にも本発明によれば、コマンドブロックや長さ情報をランダムアクセスで読み出すことが可能になり、第1の情報を処理する手段の処理速度の向上等を図れる。

【0015】また本発明は、前記第1のフェーズのデータ転送についてのアクノリッジがホストに返されたことを条件に、ホストからエンドポイントに向けて転送される情報の書き込み領域が、前記第1の記憶領域から前記第2の記憶領域に切り替えられることを特徴とする。

【0016】このようにすれば、誤りの無い確実な領域切り替えを、少ない処理負荷で実現できるようになる。

【0017】また本発明は、ホストとの間でトランザクションのシーケンスを同期化するためのデータトルビットにエラーが生じた場合には、アクノリッジがホストに返された場合でも、前記第1の記憶領域から前記第2の記憶領域への切り替えを行わないことを特徴とする。

【0018】このようにすれば、データトルビットにエラーが生じた場合(トルミスの場合)にも、適正なデータ転送処理を実現できる。

【0019】また本発明は、前記第1の情報が、コマンドブロックのパケットであり、前記第2の情報が、前記コマンドブロックの指示により転送されるデータのパケットであることを特徴とする。

【0020】但し、本発明においては、第1、第2の記憶領域に記憶される第1、第2の情報の種類は任意に設定できる。

【0021】また本発明は、処理手段が前記コマンドブロックのパケットを解釈している間に、データのパケットが前記第2の記憶領域に書き込まれることを特徴とする。

【0022】このようにすれば、コマンドフェーズ(コマンドトランスポート)からデータフェーズ(データトランスポート)への切り替え時などにおいて、第2の記憶領域を介したデータの転送処理の開始タイミングを早めることなどが可能になり、バスの実効的な転送速度を向上できる。

【0023】また本発明は、バスを介したデータ転送のためのデータ転送制御装置であって、1つのエンドポイ

ントを介して転送される情報としてコマンドブロックのバケットとデータのバケットとが割り当てられている場合に、コマンドブロック用のコマンド記憶領域とデータ用のデータ記憶領域とが1つのエンドポイントに対応して用意されるバッファと、バスを介してコマンドブロックのバケットが転送されるコマンドフェーズから、バスを介してデータのバケットが転送されるデータフェーズに切り替わった場合に、情報の書き込み領域をコマンドブロック用の前記コマンド記憶領域からデータ用のデータ記憶領域に切り替え、ホストからエンドポイントに向けて転送されるデータのバケットを前記データ記憶領域に書き込むバッファ管理回路とを含むことを特徴とする。

【0024】本発明によれば、所与のエンドポイントに割り当てられるコマンドブロックバケット用のコマンド記憶領域と、同じエンドポイントに割り当てられるデータバケット用のデータ記憶領域とが、バッファに用意される。そして、コマンドフェーズ（コマンドトランスポート）からデータフェーズ（データトランスポート）に切り替わった場合に、エンドポイントに向けられた情報の書き込み領域が、コマンド記憶領域からデータ記憶領域に切り替わる。

【0025】このようにすることで、1つのエンドポイントにコマンドブロックバケットとデータバケットが割り当てられている場合にも、コマンド記憶領域に書き込まれたコマンドブロックバケットについて処理を行いながら、データ記憶領域にデータバケットを書き込むことが可能になる。従って、データ転送制御装置の処理速度の向上や、コマンドブロックバケットを処理する手段の負荷を軽減することが可能になり、実効的なバスの転送速度を向上できる。

【0026】また本発明は、USB（Universal Serial Bus）の規格に準拠したデータ転送を行うことを特徴とする。

【0027】但し、本発明はUSB以外の規格（USBの思想を受け継ぐ規格）に準拠したデータ転送に適用することも可能である。

【0028】また本発明に係る電子機器は、上記のいずれかのデータ転送制御装置と、前記データ転送制御装置及びバスを介して転送されるデータの出力処理又は取り込み処理又は記憶処理を行う装置とを含むことを特徴とする。

【0029】本発明によれば、データ転送制御装置のデータ転送を制御する処理手段（ファームウェア等）の処理負荷を軽減できるため、電子機器の低コスト化、小規模化などを図れる。また、本発明によれば、高速な転送モードでデータ転送を行うことも可能になるため、電子機器の処理の高速化を図れる。

【0030】

【発明の実施の形態】以下、本実施形態について図面を

用いて詳細に説明する。

【0031】なお、以下に説明する本実施形態は、特許請求の範囲に記載された本発明の内容を何ら限定するものではない。また本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

【0032】1. USB

1. 1 データ転送手法

まず、USB（USB 2. 0）のデータ転送手法について簡単に説明する。

【0033】USBでは、IEEE1394等とは異なり、データ転送の主導権をホストが有している。即ち、データ転送のトランザクションを起動するのはホスト側であり、データ転送に関する大部分の制御はホストが行う。このため、ホストの処理負荷は重くなるが、ホストとなるPC（パーソナルコンピュータ）等は高速で高性能なCPU（プロセッサ）を有しているため、このように負荷の重い処理もそれほど問題にはならない。

【0034】一方、USBにおいては、デバイス（ターゲット）はホストからの要求に対して単に応えるだけでよい。従って、デバイス側ではホストのような高性能で高速なCPUを使用する必要が無く、低価格なCPU（マイコン）を使用できるようになり、低コスト化を図れる。

【0035】さて、USBではこのようなホスト主導のデータ転送を実現するために、図1（A）に示すようなエンドポイント（EP0～15）がデバイス側に用意される。ここで、エンドポイントは、ホストとデバイスとの間でデータ転送を行うためのバッファ（FIFO）の入力口に相当するものであり、USBでのデータ転送は、全て、このエンドポイントを経由して行われる。

【0036】そして、このエンドポイントは、デバイスアドレスとエンドポイント番号により一義的にアドレス指定できるようになっている。即ちホストは、デバイスアドレスとエンドポイント番号を指定することで、所望のエンドポイントへのデータ送信や、所望のエンドポイントからのデータ受信を自由に行うことができる。

【0037】また、エンドポイントの設定はデバイス側の任意であり、エンドポイント番号の割り当てや、各エンドポイントに割り当てられる記憶領域のデータサイズ等は、エニミュレーション（enumeration）処理時にホストは知ることができる。

【0038】なお、USBにおいては、データ転送のタイプとして、コントロール転送、アイソクロナス転送、インタラプト転送、バルク転送が用意されている。

【0039】ここで、コントロール転送は、ホストとデバイス（ターゲット）との間でコントロールエンドポイントを介して行われる制御用の転送モードである。このコントロール転送により、デバイスの初期化のためのコンフィグレーション情報等が転送される。

【0040】アイソクロナス転送は、画像データや音声データのように、データの正当性よりもバンド幅の確保が優先されるデータの転送のために用意された転送モードである。このアイソクロナス転送では、一定周期に一定量のデータを転送できることが保証されるため、データのリアルタイム性が重要なアプリケーションに有効な転送モードとなる。

【0041】インタラプト転送は、比較的低い転送速度で少量のデータを転送するために用意された転送モードである。

【0042】バルク転送は、不定期に発生する大量のデータを転送するために用意された転送モードである。このバルク転送では、アイソクロナス転送やインタラプト転送により使用された時間以外の空いた時間においてデータ転送が行われると共に、データの正当性がチェックされる。従って、リアルタイム性はあまり重要ではないが、データの信頼性は確保したいデータの転送に有効な転送モードである。

#### 【0043】1. 2 トランザクション構成

さて、図1(B)に示すように、USBのバルク転送におけるトランザクションは基本的に、トークンパケット、データパケット、ハンドシェイクパケットという3つのパケットにより構成される。なお、アイソクロナス転送の場合は、ハンドシェイクパケットは不要になる。

【0044】ここでトークンパケットは、ホストがデバイス(ターゲット)のエンドポイントのリードやライトを要求する場合等に使用されるパケットである。このトークンパケットは、例えば、PID(OUT、IN、SOF、SETUPなどのパケットID)、ADDR(デバイスアドレス)、ENDP(エンドポイント番号)、CRC(Cyclic Redundancy Check)のフィールドを有する。

【0045】また、データパケットは、データの実体を送るためのパケットであり、PID(DATA0、DATA1)、DATA(データの実体)、CRCのフィールドを有する。

【0046】また、ハンドシェイクパケットは、データ受信に成功したか否かを受信側が送信側に伝えるためのパケットであり、PID(ACK、NAK、STALL)のフィールドを有する。

【0047】OUTトランザクション(ホストがデバイスに情報を出力するトランザクション)では、図1

(C)に示すように、まず、ホストがデバイスに対してOUTトークンパケットを転送する。次に、ホストはデバイスに対してOUTのデータパケットを転送する。そして、デバイスは、OUTのデータパケットの受信に成功すると、ホストに対してACKのハンドシェイクパケットを転送する。

【0048】一方、INTトランザクション(ホストがデバイスから情報を入力するトランザクション)では、図

1(D)に示すように、まず、ホストがデバイスに対してINTトークンパケットを転送する。そして、INTトークンパケットを受信したデバイスは、ホストに対してINのデータパケットを転送する。そして、ホストは、INのデータパケットの受信に成功すると、デバイスに対してACKのハンドシェイクパケットを転送する。

【0049】なお、図1(C)、(D)において、“D←H”は、ホストからデバイスに対して情報が転送されることを意味し、“D→H”は、デバイスからホストに対して情報が転送されることを意味する(以下の説明及び図でも同様)。

#### 【0050】1. 3 Bulk-Only

さて、USBのデバイスは種々のクラスに分類される。そして、ハードディスクドライブや光ディスクドライブなどのデバイスは、マスマストレージと呼ばれるクラスに属し、このマスマストレージクラスには、電子機器のペンダ等により作成されたCBI(Control/Bulk/Interrupt)やBulk-Onlyなどの仕様が ある。

【0051】そして、CBI仕様では図2(A)に示すように、デバイスは、コントロール、バルクアウト、バルクイン、インタラプトのエンドポイントEP0、1、2、3を用意する。ここで、エンドポイントEP0では、USB層のコントロールのパケットや、コマンドのパケットが転送される。また、EP1ではOUTデータ(ホストからデバイスに転送されるデータ)、EP2ではINデータ(デバイスからホストに転送されるデータ)、EP3ではインタラプトINのパケットが転送される。なお、EP1~15のいずれかを、バルクアウト、バルクイン、インタラプトINのエンドポイントに割り当てるかは、デバイス側の任意である。

【0052】一方、Bulk-Only仕様では図2(B)に示すように、デバイスは、コントロール、バルクアウト、バルクインのエンドポイントEP0、1、2を用意する。ここで、エンドポイントEP0では、USB層のコントロールのパケットが転送される。また、EP1ではコマンド(CBW)及びOUTデータ、EP2ではステータス(CSW)及びINデータのパケットが転送される。なお、EP1~15のいずれかを、バルクアウト、バルクインのエンドポイントに設定するかは、デバイス側の任意である。

【0053】ここで、CBW(Command Block Wrapper)は、コマンドブロック及びこれに関連する情報を含むパケットであり、図3にそのフォーマットが示される。また、CSW(Command Status Wrapper)は、コマンドブロックのステータスを含むパケットであり、図4にそのフォーマットが示される。

【0054】図3において、dCBWSignatureは、当該パケットをCBWとして識別するための情報であり、dCBWTagは、コマンドブロックのタグであり、dCBWDataTransferLengthはデータフェーズにおいて転送されるデータ

の長さを指定する。また、bmCBWFlagsは転送方向等を指定するためのフラグであり、dCBWLUNはロジカルユニット番号であり、bCBWCBLengthはコマンド長であり、CBWCBは、ATA/ATAPIやSCSIなどのコマンドがカプセル化されて記述されるコマンドブロックである。

【0055】また図4において、dCSWSignatureは、当該パケットをCSWとして識別するための情報である。また、dCSWTagは、ステータスブロックのタグであり、当該CSWに対応するCBWのdCBWTagの値が書き込まれる。また、CSWDataResidueは、CBWのdCBWDataTransferLengthにより指定されたデータの長さでデバイスが実際に処理したデータの長さの差であり、bCSWStatusはステータスブロックである。

【0056】次に、図2(B)のBulk-Only仕様におけるデータの書き込み処理、読み出し処理について、図5(A)、(B)を用いて説明する。

【0057】ホストがデバイスにデータを書き込む場合には、図5(A)に示すように、まず、ホストがCBWをデバイスに転送するコマンドフェーズ(コマンドトランスポート)が行われる。具体的には、ホストが、エンドポイントEP1を指定するトークンパケットをデバイスに転送し、次に、CBW(図2(B)のA1、図3参照)をデバイスのエンドポイントEP1に転送する。このCBWにはライトコマンドが含まれる。そして、デバイスからホストにACKのハンドシェーク(H.S)が返却されると、コマンドフェーズが終了する。

【0058】コマンドフェーズ(コマンドトランスポート)が終了するとデータフェーズ(データトランスポート)に移行する。このデータフェーズでは、まず、ホストが、エンドポイントEP1を指定するトークンパケットをデバイスに転送し、次に、OUTデータ(図2(B)のA2参照)をデバイスのエンドポイントEP1に転送する。そして、デバイスからホストにACKのハンドシェークが返却されると、1つのトランザクションが終了する。そして、このようなトランザクションが繰り返され、CBWのdCBWDataTransferLength(図3参照)で指定されるデータ長の分だけデータが転送されると、データフェーズが終了する。

【0059】データフェーズ(データトランスポート)が終了するとステータスフェーズ(ステータストランスポート)に移行する。このステータスフェーズでは、まず、ホストが、エンドポイントEP2を指定するトークンパケットをデバイスに転送する。すると、デバイスが、エンドポイントEP2にあるCSW(図2(B)のA3、図4参照)をホストに転送する。そして、ホストからデバイスにACKのハンドシェークが返却されると、ステータスフェーズが終了する。

【0060】ホストがデータを読み出す場合は、図5(B)に示すように、まず、ホストが、エンドポイントEP1を指定するトークンパケットをデバイスに転送

し、次に、CBWをデバイスのエンドポイントEP1に転送する。このCBWはリードコマンドを含む。そして、デバイスからホストにACKのハンドシェークが返却されると、コマンドフェーズが終了する。

【0061】コマンドフェーズが終了するとデータフェーズに移行する。このデータフェーズでは、まず、ホストが、エンドポイントEP2を指定するトークンパケットをデバイスに転送する。すると、デバイスが、エンドポイントEP2にあるINデータ(図2(B)のA4参照)をホストに転送し、ホストからデバイスにACKのハンドシェークが返却されると、1つのトランザクションが終了する。そして、このようなトランザクションが繰り返され、CBWのdCBWDataTransferLengthで指定されるデータ長の分だけデータが転送されると、データフェーズが終了する。

【0062】データフェーズが終了するとステータスフェーズに移行する。このステータスフェーズの処理は図5(A)のデータの書き込み処理の場合と同様である。

【0063】2. 本実施形態の特徴

#### 2.1 領域切り替え

さて、図2(A)に示すCBI仕様では、ホストが一定期間毎にトークンをデバイスに転送する仕様になっている。このため、ホストの処理負荷や、このトークンを受けるデバイスの処理負荷が重くなってしまうという欠点がある。

【0064】このため、現在では、図2(B)のBulk-Only仕様が主流になってきている。

【0065】ところが、このBulk-Only仕様では、1つのエンドポイントを介して転送される情報として、複数種類の情報が割り当てられている。具体的には、図2(B)では、バルクアウトエンドポイントEP1を介して転送される情報として、コマンド(CBW)及びOUTデータが割り当てられ、バルクインエンドポイントEP2を介して転送される情報として、ステータス(CSW)及びINデータが割り当てられている。従って、ホスト及びデバイスは、各エンドポイントを介して転送される情報がどの情報なのかを判別する必要があり、Bulk-Only仕様では、現在のフェーズがどのフェーズなのかをホスト及びデバイスが判断して、この情報の判別を行っている。

【0066】例えば、図5(A)、(B)のB1、B2では、現在のフェーズがコマンドフェーズであるため、エンドポイントEP1を介して転送される情報はCBW(コマンド)であると判断される。また、B3、B4では、現在のフェーズがデータフェーズであるため、エンドポイントEP1を介して転送される情報はOUTデータであると判断され、エンドポイントEP2を介して転送される情報はINデータであると判断される。また、B5、B6では、現在のフェーズがステータスフェーズであるため、エンドポイントEP2を介して転送される



情報はCSW（ステータス）であると判断される。

【0067】そして、Bulk-Only仕様ではホストとデバイスとの間で常にフェーズが一致するようにデータ転送が行われるため、1つのエンドポイントに対して複数の情報（CBWとOUTデータ、CSWとINデータ）が割り当てられている場合にも、適正なデータ転送が可能になる。

【0068】ところが、Bulk-Only仕様には、次のような問題があることが判明した。

【0069】例えば図6（A）～（D）に本実施形態の比較例の手法を示す。この比較例では、図6（A）に示すように、コマンドフェーズにおいて、エンドポイントEP1を入り口とするFIFO（EP1）600に対して、ホストからのCBW（コマンド）が書き込まれる。

【0070】すると図6（B）に示すように、デバイス側のCPU（ファームウェア、処理手段）は、このFIFO600に書き込まれたCBWを先入れ先出し方式で読み出して、コマンド解釈を行う。この場合、CPUのコマンド解釈が終了するまでは、FIFO600に対してホストからのデータを書き込むことはできない。従って図6（C）に示すように、データフェーズに移行して、ホストからOUTデータを転送するトークンが出された場合にも、デバイスはホストに対してNAKを返すことになる。

【0071】そして図6（D）に示すように、CPUのコマンド解釈が終了し、FIFO600が空になったことを条件に、ホストからのOUTデータがFIFO600に書き込まれ、このOUTデータが、後段のハードディスクドライブなどのデバイスにDMA転送されることになる。

【0072】このように図6（A）～（D）の比較例では、CPUがコマンド解釈を行っている期間は、FIFO600にOUTデータを書き込めない。従って、その期間の分だけデバイス側の処理が遅れてしまい、実効的なデータ転送速度が低下してしまう。

【0073】この場合、USB1.1ではバスの転送速度が低かったため、図6（B）、（C）に示すようなデバイス側の処理の遅れは、ほとんど問題にならなかった。

【0074】ところが、USB2.0のHSモードでは高速な480Mbpsでデータ転送が行われる。従って、ホストからはUSBを介して高速にデータが転送されてくる。このため、デバイス側の処理が遅れてしまい、この高速に転送されてくるデータの処理にデバイスが対応できなくなると、システム全体の実効的なデータ転送速度が大幅に低下する。

【0075】特に、デバイス側では、低コスト化の要請から、例えば20～50MHz程度のクロック周波数で動作する安価なCPUが使用される場合が多い。従って、図6（B）、（C）のコマンド解釈に非常に時間を

費やしてしまい、実効的なデータ転送速度の遅れは更に深刻なものになる。

【0076】そこで本実施形態では、このような問題を解決するために、フェーズ（トランスポート）の切り替えに応じてバッファの記憶領域を切り替える手法を採用している。

【0077】より具体的には図7（A）に示すように本実施形態では、OUTデータ（第2の情報）を書き込むためのEP1領域10（第2の記憶領域。データ記憶領域）の他に、CBW（第1の情報。コマンドブロック）を書き込むためのCBW領域12（第1の記憶領域。コマンド記憶領域）を、パケット格納手段であるバッファ上に用意する。

【0078】ここで、EP1領域10及びCBW領域12は共にバルクアウトのエンドポイントEP1を入り口とする記憶領域である。また、EP1領域10は、先に入力された情報が先に出力されるように設定（FIFO設定）されており、CBW領域12は、情報のランダムアクセスが可能になるように設定（ランダムアクセス設定）されている。

【0079】そして本実施形態では、コマンドフェーズ（第1のフェーズ）においてはスイッチSW（切り替え手段）がCBW領域12側に切り替えられており、ホストから転送されてきたCBWはCBW領域12に書き込まれる。すると、CPU（ファームウェア、処理手段）は、このCBW領域12に書き込まれているCBWを読み出して、コマンド解釈を行う。この場合に、CBW領域12はランダムアクセス可能に設定されているため、CPUは、CBW領域12の任意のアドレスの情報を高速に読み出すことができる。

【0080】そして図7（B）に示すように、コマンドフェーズ（第1のフェーズ）からデータフェーズ（第2のフェーズ）に移行すると、スイッチSWがEP1領域10側に切り替わる。これにより、ホストからのOUTデータをEP1領域10に書き込むことが可能になる。そして、CPUのコマンド解釈が終了すると、EP1領域10のOUTデータを後段のハードディスクドライブ等のデバイスに転送するDMA転送が起動する。

【0081】例えば図6（C）の比較例では、CPUがコマンド解釈を行っている間は、ホストからのOUTデータを受け入れることができず、ホストに対してNAKを返さざるを得なかった。

【0082】これに対して本実施形態では図7（B）に示すように、CPUがコマンド解釈を行っている間も、ホストからのOUTデータを受け入れて、EP1領域10に書き込むことが可能になる。従って、ホストに対してACKを返すことが可能になり、処理の高速化を図れる。

【0083】特にUSB2.0では、ホストからデータが高速に転送されてくる。従って、図6（C）の比較例



のようにホストに対してNAKを返し続けると、バス帯域がロスしてしまい、USB2.0の高速データ転送を活用できない。

【0084】これに対して本実施形態では、図7(B)に示すようにホストにACKを返すことが可能になるため、バス帯域のロスを最小限に抑えることができ、USB2.0の高速データ転送を生かすことができ、実効的なデータ転送速度を向上できる。

【0085】また比較例では、図8(A)に示すように、CBWは先入れ先出しのFIFO600に記憶される。従って、CPUは、コマンド解釈の際にFIFO600の先頭アドレスから順にCBWを読み出す必要がある。この結果、コマンド解釈に重要なデータ長(図3のdCBWDataTransferLength)やコマンド(CBWCB)を読み出すまでに時間がかかってしまい、コマンド解釈の処理が更に遅れてしまう。

【0086】これに対して本実施形態では、図8(B)に示すように、CBWはランダムアクセス可能なCBW領域12に記憶される。従って、CPUは、コマンド解釈に重要なデータ長やコマンドを先に読み出すことが可能になり、コマンド解釈の処理時間を節約できる。これにより、実効的なデータ転送速度を更に向上できる。

【0087】このように本実施形態では、CBW領域12(第1の情報が記憶される第1の記憶領域)の先頭アドレス以外の領域に、データ長(第2の情報の長さ情報)やコマンド(第2の情報の転送を指示するコマンドブロック)が書き込まれている場合にも、CBW領域12がランダムアクセス可能に設定されているため、データ長やコマンドを先に読み出すことが可能になり、実効的なデータ転送速度の向上を図れる。

【0088】なお、後段のデバイス(ハードディスクドライブ等)に対してデータを効率良くDMA転送するためには、EP1領域12については、情報が先入れ先出しされる領域に設定(FIFO設定)することが望ましい。この場合、EP1領域12を、直列接続のレジスタ、メモリ等で構成することで、先入れ先出しの領域に設定してもよいし、後述するようにRAMのアドレス制御を工夫することで、先入れ先出しの領域に設定してもよい。

#### 【0089】2.2 構成例

図9に本実施形態のデータ転送制御装置の構成例を示す。

【0090】本実施形態のデータ転送制御装置は、トランシーバマクロ20、SIE30、エンドポイント管理回路40、バッファ管理回路50、バッファ60、パルク転送管理回路70、DMAC80を含む。なお、本発明のデータ転送制御装置は、図9に示す回路ブロックの全てを含む必要はなく、それらの一部を省略する構成としてもよい。

【0091】ここで、トランシーバマクロ20は、US

B(第1のバス)のFSモードやHSモードでのデータ転送を実現するための回路である。このトランシーバマクロ20としては、例えばUSB2.0の物理層回路や、論理層回路の一部についてのインターフェースを定義したUTMI(USB2.0 Transceiver Macrocell Interface)に準拠したマクロセルを用いることができる。このトランシーバマクロ20は、トランシーバ回路22、クロック生成回路24を含む。

【0092】トランシーバ回路22は、差動信号D<sub>+</sub>、D<sub>-</sub>を用いてUSB(第1のバス)上のデータを送受信するアナログフロントエンド回路(受信回路、送信回路)を含む。また、ビットスタッフィング、ビットアンスタッフィング、シリアル・パラレル変換、パラレル・シリアル変換、NRZIデコード、NRZIエンコード、サンプリングクロック生成などの処理を行う回路を含む。

【0093】またクロック生成回路24は、データ転送制御装置が使用する動作クロックや、サンプリングクロックの生成に使用されるクロックなどを生成する回路であり、480MHzや60MHzのクロックを生成するPLLや発振回路などを含む。

【0094】SIE(Serial Interface Engine)は、USBのパケット転送処理などの種々の処理を行う回路であり、パケットハンドラ回路32、サスペンド&レジューム制御回路34、トランザクション管理回路36を含む。

【0095】パケットハンドラ回路32は、ヘッダ及びデータからなるパケットの組み立て(生成)や分解などを行う回路であり、CRCの生成や読取を行うCRC処理回路33を含む。

【0096】サスペンド&レジューム制御回路34は、サスペンドやレジューム時のシーケンス制御を行う回路である。

【0097】トランザクション管理回路36は、トークン、データ、ハンドシェイクなどのパケットにより構成されるトランザクションを管理する回路である。具体的には、トークンパケットを受信した場合には、自分宛か否かを確認し、自分宛の場合には、ホストとの間でデータパケットの転送処理を行い、その後に、ハンドシェイクパケットの転送処理を行う。

【0098】エンドポイント管理回路40は、バッファ60の各記憶領域の入り口となるエンドポイントを管理する回路であり、エンドポイントの属性情報を記憶するレジスタ(レジスタセット)などを含む。

【0099】バッファ管理回路50は、例えばRAMなどで構成されるバッファ60を管理する回路である。より具体的には、書き込みアドレスや読み出しアドレスを生成し、バッファ60へのデータの書き込み処理やバッファ60からのデータの読み出し処理を行う。

【0100】バッファ60(パケット記憶手段)は、U

SBを介して転送されるデータ（パケット）を一時的に記憶するものであり、USB（第1のバス）でのデータ転送速度と、EBUS（第2のバス）でのデータ転送速度との速度差を補償する機能などを有する。なお、EBUSは、ハードディスクドライブやCDドライブなどのデバイス（マストレージデバイス）に接続される外部バスである。

【0101】そして本実施形態では、1つのエンドポイントを介して転送される情報として複数種類の情報が割り当てられている場合に、第1の情報（例えばコマンドブロック）用の第1の記憶領域（例えばコマンド記憶領域）と第2の情報（例えばデータ）用の第2の記憶領域（例えばデータ記憶領域）とが、このバッファ60上に用意（確保）される。

【0102】バルク転送管理回路70は、USBにおけるバルク転送を管理するための回路である。

【0103】DMAC80は、EBUSを介してDMA転送を行うためのDMAコントローラであり、DMAカウンタ82を含む。そしてDMAカウンタ82は、EBUSを介して転送されるデータのサイズ（転送数）をカウントする回路である。

【0104】2.3 詳細な構成例

図10に、トランザクション管理回路36（SIE）、エンドポイント管理回路40、バッファ管理回路50、バッファ60の詳細な構成例を示す。

【0105】バッファ60（RAM）は、エンドポイントEP1に割り当てられた情報であるCBW（コマンドブロック）を記憶するCBW領域61、EP0に割り当てられた情報であるコントロールを記憶するEP0領域62、EP1に割り当てられた情報であるOUTデータを記憶するEP1領域63、EP2に割り当てられた情報であるINデータを記憶するEP2領域64を含む。

【0106】そして図10では、CBW領域61については、CPU（ファームウェア、処理手段）によるランダムアクセスが可能になるように設定されている。一方、EP0、EP1、EP2領域62、63、64は、先に入力された情報が先に出力されるように設定（FIFO設定）されている。

【0107】トランザクション管理回路36は、USBを介して転送される書き込みデータSIEWrData（書き込みパケット）をバッファ60に出力し、読み出しデータSIErdData（読み出しパケット）をバッファ60から入力する。

【0108】またトランザクション管理回路36は、バッファ管理回路50に対して書き込み要求信号SIEWrReq、読み出し要求信号SIErdReqを出力し、バッファ管理回路50から書き込みアクノリッジ信号SIEWrAck、読み出しアクノリッジ信号SIErdAckを受ける。

【0109】またトランザクション管理回路36は、エ

ンドポイント管理回路40に対して、トランザクション終了信号TranEndPulse、トランザクションステータス信号TranStatus、エンドポイント番号指定信号EPnum、転送方向指定信号Directionを出力し、エンドポイント管理回路40から、エンドポイント存在信号EPexistを受ける。

【0110】エンドポイント管理回路40は、エンドポイントの属性情報（エンドポイント番号、最大パケットサイズ等）を記述するためのレジスタ（レジスタセット）42、43、44を含む。そして、トランザクション管理回路36からの各種信号と、レジスタの属性情報とに基づいて、エンドポイント選択信号EPselを生成して、バッファ管理回路50に出力する。

【0111】またエンドポイント管理回路40は、バッファ管理回路50に対して、CPUからの書き込み要求信号CPUWrReq、読み出し要求信号CPUrdReqを出力し、バッファ管理回路50から、CPUへの書き込みアクノリッジ信号CPUWrAck、読み出しアクノリッジ信号CPUrdAckを受ける。

【0112】エンドポイント管理回路40が含むEP0レジスタ42は、USB仕様によりデフォルトで定義されるコントロールエンドポイントの属性情報を記述するためのレジスタである。

【0113】またEP1、EP2レジスタ43、44は、BULK-Only仕様により定義されるバルクアウトやバルクインのエンドポイントの属性情報を記述するためのレジスタである。なお、エンドポイントEP1～15のいずれを、バルクアウト又はバルクインのエンドポイントに設定するかはデバイス側の任意である。

【0114】EP1レジスタ43では、データの転送方向を表すフラグDIRがOUTに設定されており、EP1はバルクアウトのエンドポイントに設定されている。

【0115】また、EP1レジスタ43では、フラグEnCBWが1に設定されている。このEnCBWは、エンドポイントをバッファ60のCBW領域61に接続するためのフラグであり、EnCBWが1に設定されるエンドポイントはCBW領域61に接続されることになる。

【0116】EP2レジスタ44では、データの転送方向を表すフラグDIRがINに設定されており、EP2はバルクインのエンドポイントに設定されている。

【0117】また、EP2レジスタ44では、EnCBWが0に設定されている。

【0118】バッファ管理回路50は、トランザクション管理回路36やエンドポイント管理回路40からの書き込み・読み出し要求信号や、エンドポイント管理回路40からのエンドポイント選択信号EPselを受け、アドレスAddressや書き込みパルスxWR（xは負論理を意味する）をバッファ60に出力する。このバッファ管理回路50は、CBW、EP0、EP1、EP

2のアドレス生成回路51、52、53、54とセクタ56を含む。

【0119】ここでCBWアドレス生成回路51は、CBW領域61（先頭アドレスa0）についての、SIEWrData、SIERdDataの書き込み又は読み出しアドレスAD0を生成する。

【0120】また、EP0、EP1、EP2のアドレス生成回路52、53、54は、各々、EP0、EP1、EP2の領域62、63、64（先頭アドレスa1、a2、a3）についての、SIEWrData、SIERdDataの書き込み又は読み出しアドレスAD1、AD2、AD3を生成する。具体的には、a1、a2、a3を先頭アドレスとして順次インクリメント（又はデクリメント）するアドレスAD1、AD2、AD3を生成する。

【0121】セクタ56は、信号EPselに基づいてアドレスAD0～3のいずれかを選択し、Addressとしてバッファ60に出力すると共に、書き込みパルスxWRをバッファ60に出力する。具体的には、EPselによりCBWが選択指示された場合にはAD0を選択し、EP0が選択指示された場合にはAD1を選択し、EP1が選択指示された場合にはAD2を選択し、EP2が選択指示された場合にはAD3を選択して、Addressとしてバッファ60に出力する。

【0122】なお、CBW領域61は、CPUによるCPURdDataの読み出しが可能になっている。この場合には、バッファ管理回路50は、エンドポイント管理回路40からのEPselやCPURdReqに基づいて、CPURdDataの読み出しのためのAddressをバッファ60に出力することになる。

【0123】図11に、トランザクション管理回路36、エンドポイント管理回路40、バッファ管理回路50、バッファ60の他の構成例を示す。

【0124】図10と異なり図11では、バッファ60が、CBW、EP0、EP1、EP2用のFIFO65、66、67、68（例えば直列接続されたレジスタ、メモリ）を含む。

【0125】そしてバッファ管理回路50が含むセクタ57は、エンドポイント管理回路40からのEPselに基づいて、トランザクション管理回路36からのSIEWrDataを、WrDataCBW、WrDataEP0、WrDataEP1、WrDataEP2のいずれかとしてバッファ60に出力する。

【0126】或いは、セクタ57は、EPselに基づいて、バッファ60からのRdDataCBW、RdDataEP0、RdDataEP1、RdDataEP2のいずれかを選択して、SIERdDataとしてトランザクション管理回路36に出力する。

【0127】より具体的には、EPselによりCBWが選択指示された場合には、WrDataCBW、Rd

DataCBWが選択され、EP0が選択指示された場合には、WrDataEP0、RdDataEP0が選択され、EP1が選択指示された場合には、WrDataEP1、RdDataEP1が選択され、EP2が選択指示された場合には、WrDataEP2、RdDataEP2が選択されることになる。

【0128】そして、バッファ60へのデータの書き込みは、トランザクション管理回路36からの書き込みパルスSIEWRにより行われ、バッファ60からのデータの読み出しは、トランザクション管理回路36からの読み出しパルスSIERDにより行われる。

【0129】なお図11において、FIFO65（CBW）をランダムアクセス可能な記憶領域に設定するようにしてもよい。

#### 【0130】2.4 動作

図12～図16に、本実施形態のデータ転送制御装置の詳細な動作を説明するためのタイミング波形図の例を示す。

##### 【0131】2.4.1 成功時

図12はコマンドフェーズ（図5（A）のB1参照）の開始時でのタイミング波形図であり、図13はコマンドフェーズの終了時でのタイミング波形図である。

【0132】図12のC1、C2に示すようにトランザクション管理回路36がEPnumを1（エンドポイント番号＝1）に設定し、DirectionをOUTに設定すると、バルクアウトエンドポイントEP1のレジスタ43（図10参照）が存在するため、エンドポイント管理回路40は、C3に示すようにEPexistをアクティブ（Hレベル）にする。

【0133】この時、C4に示すようにエンドポイントEP1のEnCBWがHレベル（1）に設定されているため、エンドポイント管理回路40は、C5に示すようにCBW領域61のアドレスAD0を選択指示するEPselを、バッファ管理回路50に対して出力する。これにより、バッファ管理回路50のセクタ56は、CBWアドレス生成回路51により生成されるアドレスAD0を選択するようになる。

【0134】そして、C6に示すように、トランザクション管理回路36がSIEWrReqをアクティブにすると、C7に示すように、バッファ管理回路50は、CBWアドレス生成回路51からのAD0=a0をAddressとしてバッファ60に出力すると共に、C8に示すように、xWRをアクティブ（Lレベル）にする。これにより、バッファ60のCBW領域61のa0を先頭アドレスとして、C9に示すようにCBW（SIEWrData）の0～3バイトが書き込まれる。その後、C10に示すようにSIEWrAckがアクティブにされ、トランザクション管理回路36にアクノリッジを返される。

【0135】次に、C11に示すようにトランザクショ

ン管理回路36がSIEWrReqをアクティブにすると、C12、C13に示すように、バッファ管理回路50は、 $AD0=a0+4$ をAddressとしてバッファ60に出力すると共にxWRをアクティブにする。これにより、CBW領域61のa0+4を先頭アドレスとして、C14に示すようにCBW(SIEWrData)の4~7バイトが書き込まれる。その後、C15に示すようにSIEWrAckがアクティブにされ、トランザクション管理回路36にアクノリッジを返される。

【0136】以上のような書き込み処理を繰り返すことで、図13のC16に示すように、CBWの全ての0~30バイト(合計で31バイト)がCBW領域61に書き込まれる。

【0137】そして、C17に示すようにホストに対してACKが適正に返されると、C18に示すようにトランザクション管理回路36がTranEndPulseをアクティブにすると共に、C19に示すようにTranStatusをSuccessに設定して、トランザクションが成功したことをエンドポイント管理回路40に伝える。

【0138】すると、C20に示すようにエンドポイントEP1(図10のレジスタ43)のEnCBWがLレベル(0)に設定される。これにより、エンドポイント管理回路40は、C21に示すようにEP1領域63のアドレスAD2を選択指示するEPse1を、バッファ管理回路50に対して出力する。この結果、次のデータフェーズ(図5(A)のB3参照)においては、バッファ管理回路50のセクタ56は、EP1領域63のアドレスAD2を、バッファ60に出力するAddressとして選択するようになる。

【0139】このように本実施形態では、コマンドフェーズ(第1のフェーズ)のデータ転送についてのアクノリッジACKがホストに返されたことを条件に(C17参照)、エンドポイントEP1のEnCBWがLレベルに設定され(C20参照)、ホストからエンドポイントEP1に向けて転送されるデータの書き込み領域が、CBW領域61(第1の記憶領域)からEP1領域63(第2の記憶領域)に切り替わる(C21参照)。そして、データフェーズにおいては、ホストからのデータは、切り替え後のEP1領域63に書き込まれるようになる。

【0140】このように、ACKの返却の有無に応じて領域切り替えを行うようにすれば、誤りの無い確実な領域切り替えを、少ない処理負荷で実現できるようになる。

【0141】2.4.2 データ長のエラー、CRCエラー

図14は、コマンドフェーズで書き込まれたデータ長(CBWの長さ)にエラーがあった場合のタイミング波形図である。

【0142】データ長にエラーがあった場合(データ長が短かったり、長かった場合)には、図14のD1に示すように、ホストに対してACKは返されず、NAKが返される。そして、トランザクション管理回路36はエンドポイント管理回路40に対して、D2に示すようにデータ長にエラーがあったことを示すTranStatuすを出力する。すると、この場合には、図13のC20の場合とは異なり、図14のD3に示すようにエンドポイントEP1のEnCBWはLレベルにならない。このため、D4に示すようにEPse1も変化せず、CBW領域61からEP1領域63への領域切り替えは行われない。また、データ長にエラーがあるということは、ホストとデバイスとの間でフェーズが整合していない可能性があるため、このエンドポイントはストールされる。

【0143】図15は、コマンドフェーズにおいてCRCエラーが生じた場合のタイミング波形図である。

【0144】CRCエラーが生じた場合には、図15のE1に示すようにホストに対してACKは返されない。そして、トランザクション管理回路36はエンドポイント管理回路40に対して、E2に示すようにCRCエラーを示すTranStatusを出力する。すると、この場合には、図13のC20の場合とは異なり、図15のE3に示すようにエンドポイントEP1のEnCBWはLレベルにならない。このため、E4に示すようにEPse1も変化せず、CBW領域61からEP1領域63への領域切り替えは行われない。この結果、ACKを受け取らなかったホストがリトライ処理を行い、CBWを再転送してきた場合には、そのCBWはEP1領域63ではなくCBW領域61に書き込まれるようになる。これにより適正なデータ転送処理を実現できる。

【0145】2.4.3 トグルミス

図16は、コマンドフェーズにおいてトグルミスが生じた場合のタイミング波形図である。

【0146】まず、トグルミスについて図17(A)、(B)を用いて説明する。

【0147】USBにおいては、ホストとデバイスとの間でトランザクションのシーケンスを同期化するために、図17(A)に示すように、データのPIDとしてDATA0及びDATA1を用意すると共に、ホスト及びデバイスにトグルビット(ホストとデバイスとの間でトランザクションのシーケンスを同期化するためのビット)を持たせている。

【0148】そして図17(A)に示すように、ホスト及びデバイスは、トランザクションが成功したと判断したことを条件に、データのPIDに含まれるDATA0及びDATA1とトグルビットをトグルさせる。

【0149】例えば図17(A)のG1に示すように、ホストは、送信したデータ(DATA1)に対してACKが適正に返却されてくると、トランザクションは成功

したと判断して、ホスト側のトグルビットをトグルさせる。

【0150】また、G2に示すように、デバイスは、次に来るべきデータ(PID=DATA1)がホストから転送され、ACKをホストに返却すると、トランザクションは成功したと判断して、デバイス側のトグルビットをトグルさせる。

【0151】一方、図17(B)のG3に示すように、ホストは、送信したデータ(PID=DATA1)に対してACKが適正に返却されなかった場合には、トランザクションは不成功であると判断して、ホスト側のトグルビットをトグルさせない。そして、G4に示すように、PID=DATA1のデータをデバイスに対して再送する。

【0152】すると、G5に示すように、デバイスは、PID=DATA0のデータを待っていたのに、PID=DATA1のデータが転送されてきたため、トグルミスであると判断し、デバイス側のトグルビットをトグルさせない。そして、この場合にデバイスは、このPID=DATA1のデータを破棄すると共に、ホストに対してACKを返却する。このようにすることで、ホストとデバイスとの間でトランザクションの連続性を確保できるようになる。

【0153】本実施形態では、このようなトグルミスが発生した場合には、ホストに対してアクノリッジACKを返却しても、CBW領域61からEP1領域63への領域切り替えを行わないようにしている。

【0154】即ち、トグルミスの場合には、図16のF1に示すようにホストに対してACKを返す。そして、トランザクション管理回路36はエンドポイント管理回路40に対して、F2に示すようにトグルミスを示すTransStatusを出力する。すると、この場合には、図16のF3に示すようにエンドポイントEP1のEnCBWはLレベルにならない。このため、F4に示すようにEPselも変化せず、CBW領域61からEP1領域63への領域切り替えは行われない。これにより、トグルミスの場合にも適正なデータ転送処理を実現できる。

#### 【0155】2.5 比較例と本実施例との比較

図18(A)に比較例(図6(A)~(D))のタイミング波形図の例を示し、図18(B)に本実施形態のタイミング波形図の例を示す。図18(A)、(B)では、バッファの記憶領域がダブルバッファ構造である場合のタイミング波形図である。

【0156】例えば図18(A)の比較例では、コマンドフェーズにおいて、H1に示すようにホストからのCBWがEP1用のFIFO(図6(A)の600)に書き込まれる。この際、FIFOがダブルバッファ構造の場合には、H2に示すように、ホストからの1つめのOUTデータについてはFIFOに書き込むことができ

る。しかしながら、次のOUTデータについてはFIFOに書き込むことができないため、H3に示すように、ホストからの次のOUTデータの要求に対しては、NRETを返すことになる。

【0157】そして、その後にH4に示すように、ホストがFIFOに空きがあるかを問い合わせるPINGパケットを送ってきても、H5に示すようにデバイスはNAKを返すことになる。即ち、CPUのコマンド解釈が終了するまで、デバイスはホストに対してNAKを返し続ける。そして、コマンド解釈が終了して、FIFOに空きが生じると、H6に示すようにホストからのOUTデータを受け入れて、FIFOに書き込むことが可能になる。

【0158】これに対して本実施形態では、図18(B)のH7に示すようにCBW領域にCBWが書き込まれ、適正にACKが返されると、H8に示すようにEnCBWがLレベルになる(図13のC20参照)。すると、図7(B)で説明したように、CBW領域からEP1領域への切り替えが行われ、エンドポイントEP1はEP1領域に接続されるようになる。

【0159】従って、H9に示すように、データフェーズでのホストからのOUTデータを、このEP1領域に書き込むことができ、ホストに対してACKを返すことができる。そして、H10に示すようにコマンド解釈が終了すると、H11に示すように、その後はこのEP1領域を用いて後段のハードディスクドライブ等との間でのDMA転送を開始できるようになり、USBからのデータを効率良く転送できるようになる。

【0160】このように本実施形態では、データのDMA転送を比較例に比べて早く開始できるようになるため、バス帯域のロスを最小限に抑えることができ、比較例に比べて実効的なデータ転送速度を向上できるようになる。

【0161】図19(A)に比較例の場合のファームウェア(CPU)の処理のフローチャートを示し、図19(B)に本実施形態の場合のファームウェアの処理のフローチャートを示す。

【0162】図19(A)の比較例では、ファームウェアは、まず、OUTトランザクションが完了したか否かを判断する(ステップS1)。即ち、図18(A)のH1のACKがデバイスから返却されるのを待つ。

【0163】そして、OUTトランザクションが完了したと判断した場合には、ファームウェアは、EP1用のFIFOからCBWを読み込む(ステップS2)。そして、データ長が31バイトか否か(データ長が適正か否か)を判断し(ステップS3)、31バイトの場合はコマンド解釈を行い(ステップS4)、コマンド処理に移行する(ステップS5)。一方、31バイトでない場合には、エラー処理に移行する(ステップS6)。

【0164】図19(B)の本実施形態では、ファーム

ウェアは、まず、図18(B)のH7に示すCBWのトランザクション(CBW領域への書き込み)が適正に完了したか否かを判断する(ステップS11)。そして、CBWのトランザクションが完了していない場合には、CBWエラーか否かを判断し(ステップS12)、CBWエラーの場合にはエラー処理に移行する(ステップS16)。一方、CBWエラーではない場合には、ステップS11に戻り、CBWのトランザクションの完了を待つ。

【0165】例えば図14のデータ長エラーの場合には、CBWエラーと判断され、ステップS16のエラー処理に移行する。一方、図16のトグルミスの場合には、CBWエラーとは判断されずに、ステップS12からステップS11に戻る。

【0166】一方、図13のデータ転送成功の場合には、CBWのトランザクションが完了したと判断され、EnCBWがLレベルになる。そして、ファームウェアは、CBW領域からCBWを読み込み(ステップS13)、コマンド解釈を行い(ステップS14)、コマンド処理に移行する(ステップS15)。この場合に、図8(A)、(B)で説明したように、本実施形態ではCBW領域がランダムアクセス可能に設定されているため、比較例に比べてコマンド解釈を早期に終了させることが可能になり、早期にDMA転送に移行できる。

### 【0167】3. 電子機器

次に、本実施形態のデータ転送制御装置を含む電子機器の例について説明する。

【0168】例えば図20(A)に電子機器の1つであるプリンタの内部ブロック図を示し、図21(A)にその外観図を示す。CPU(マイクロコンピュータ)510はシステム全体の制御などを行う。操作部511はプリンタをユーザが操作するためのものである。ROM516には、制御プログラム、フォントなどが格納され、RAM517はCPU510のワーク領域として機能する。DMAC518は、CPU510を介さずにデータ転送を行うためのDMAコントローラである。表示パネル519はプリンタの動作状態をユーザに知らせるためのものである。

【0169】USBを介してパーソナルコンピュータなどの他のデバイスから送られてきたシリアル印字データは、データ転送制御装置500によりパラレル印字データに変換される。そして、変換後のパラレル印字データは、CPU510又はDMAC518により、印字処理部(プリンタエンジン)512に送られる。そして、印字処理部512においてパラレル印字データに対して所与の処理が施され、プリントヘッダなどからなる印字部(データの出力処理を行う装置)514により紙に印字されて出力される。

【0170】図20(B)に電子機器の1つであるスキヤナの内部ブロック図を示し、図21(B)にその外観

図を示す。CPU520はシステム全体の制御などを行う。操作部521はスキヤナをユーザが操作するためのものである。ROM526には制御プログラムなどが格納され、RAM527はCPU520のワーク領域として機能する。DMAC528はDMAコントローラである。

【0171】光源、光電変換器などからなる画像読み取り部(データの取り込み処理を行う装置)522により原稿の画像が読み取られ、読み取られた画像のデータは画像処理部(スキヤナエンジン)524により処理される。そして、処理後の画像データは、CPU520又はDMAC528によりデータ転送制御装置500に送られる。データ転送制御装置500は、このパラレルの画像データをシリアルデータに変換し、USBを介してパーソナルコンピュータなどの他のデバイスに送信する。

【0172】図20(C)に電子機器の1つであるCD-RWドライブの内部ブロック図を示し、図21(C)にその外観図を示す。CPU530はシステム全体の制御などを行う。操作部531はCD-RWをユーザが操作するためのものである。ROM536には制御プログラムなどが格納され、RAM537はCPU530のワーク領域として機能する。DMAC538はDMAコントローラである。

【0173】レーザ、モータ、光学系などからなる読み取り&書き込み部(データの取り込み処理を行う装置又はデータの記憶処理を行うための装置)533によりCD-RW532から読み取られたデータは、信号処理部534に入力され、エラー訂正処理などの所与の信号処理が施される。そして、信号処理が施されたデータが、CPU530又はDMAC538によりデータ転送制御装置500に送られる。データ転送制御装置500は、このパラレルのデータをシリアルデータに変換し、USBを介してパーソナルコンピュータなどの他のデバイスに送信する。

【0174】一方、USBを介して他のデバイスから送られてきたシリアルデータは、データ転送制御装置500によりパラレルデータに変換される。そして、このパラレルデータは、CPU530又はDMAC538により信号処理部534に送られる。そして、信号処理部534においてこのパラレルデータに対して所与の信号処理が施され、読み取り&書き込み部533によりCD-RW532に記憶される。

【0175】なお、図20(A)、(B)、(C)において、CPU510、520、530の他に、データ転送制御装置500でのデータ転送制御のためのCPUを別に設けるようにしてもよい。

【0176】本実施形態のデータ転送制御装置を電子機器に用いれば、USB2.0におけるHSモードでのデータ転送を適正に行うことが可能になる。従って、ユーザがパーソナルコンピュータなどによりプリントアウト

の指示を行った場合に、少ないタイムラグで印字が完了するようになる。また、スキャナへの画像取り込みの指示の後に、少ないタイムラグで読み取り画像をユーザは見るようになる。また、CD-RWからのデータの読み取りや、CD-RWへのデータの書き込みを高速に行うことができるようになる。

【0177】また、本実施形態のデータ転送制御装置を電子機器に用いれば、製造コストが安い通常の半導体プロセスでも、HSモードでのデータ転送が可能なデータ転送制御装置を製造できるようになる。従って、データ転送制御装置の低コスト化を図れ、電子機器の低コスト化も図れるようになる。また、データ転送の信頼性を向上でき、電子機器の信頼性も向上できるようになる。

【0178】また本実施形態のデータ転送制御装置を電子機器に用いれば、CPU上で動作するファームウェアの処理負荷が軽減され、安価なCPUを用いることが可能になる。更に、データ転送制御装置の低コスト化、小規模化を図れるため、電子機器の低コスト化、小規模化も図れるようになる。

【0179】なお本実施形態のデータ転送制御装置を適用できる電子機器としては、上記以外にも例えば、種々の光ディスクドライブ（CD-ROM、DVD）、光磁気ディスクドライブ（MO）、ハードディスクドライブ、TV、VTR、ビデオカメラ、オーディオ機器、電話機、プロジェクタ、パーソナルコンピュータ、電子手帳、ワードプロセッサなど種々のものを考えることができる。

【0180】なお、本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。

【0181】例えば、本発明のデータ転送制御装置の構成は、図9、図10、図11に示す構成に限定されるものではなく、種々の変形実施が可能である。

【0182】また、本実施形態では、第1の記憶領域がCBW領域（コマンド記憶領域）であり、第2の記憶領域がEP1領域（データ記憶領域）である場合について説明したが、本発明はこれに限定されない。即ち、第1、第2の記憶領域に記憶される情報の種類は任意である。また、エンドポイントに設定される情報の数は3以上であってもよいし、情報の種類も任意である。

【0183】また本実施形態では、USBのBulk-Only仕様への適用例を説明したが、本発明が適用されるのは、USBのBulk-Only仕様に限定されるものではない。

【0184】また、第1、第2の記憶領域の切り替え手法も、図7（A）～図19（B）で詳細に説明した手法に限定されず、種々の変形実施が可能である。

【0185】また、本発明は、USB2.0でのデータ転送に適用されることが特に望ましいが、これに限定されるものではない。例えばUSB2.0と同様の思想に基づく規格やUSB2.0を発展させた規格におけるデ

ータ転送にも本発明は適用できる。

【図面の簡単な説明】

【図1】図1（A）、（B）、（C）、（D）は、USBのエンドポイントやトランザクション構成について説明するための図である。

【図2】図2（A）、（B）は、CBI仕様とBulk-Only仕様について説明するための図である。

【図3】CBWのフォーマットについて示す図である。

【図4】CSWのフォーマットについて示す図である。

【図5】図5（A）、（B）は、Bulk-Onlyにおけるデータの書き込み処理、読み出し処理について説明するための図である。

【図6】図6（A）、（B）、（C）、（D）は、比較例の手法について説明するための図である。

【図7】図7（A）、（B）、（C）は、本実施形態の手法について説明するための図である。

【図8】図8（A）、（B）は、CBW領域をランダムアクセス可能に設定する手法の利点について説明するための図である。

【図9】本実施形態のデータ転送制御装置の構成例を示す図である。

【図10】トランザクション管理回路、エンドポイント管理回路、バッファ管理回路、バッファの詳細な構成の一例を示す図である。

【図11】トランザクション管理回路、エンドポイント管理回路、バッファ管理回路、バッファの詳細な構成の他の例を示す図である。

【図12】コマンドフェーズ開始時での本実施形態の動作について説明するためのタイミング波形図である。

【図13】データ転送成功の場合の本実施形態の動作について説明するためのタイミング波形図である。

【図14】データ長エラーの場合の本実施形態の動作について説明するためのタイミング波形図である。

【図15】CRCエラーの場合の本実施形態の動作について説明するためのタイミング波形図である。

【図16】トグルミスの場合の本実施形態の動作について説明するためのタイミング波形図である。

【図17】図17（A）、（B）は、トグルビットやトグルミスについて説明するための図である。

【図18】図18（A）、（B）は、比較例と本実施形態のタイミング波形図である。

【図19】図19（A）、（B）は、比較例と本実施形態でのファームウェアの処理を示すフローチャートである。

【図20】図20（A）、（B）、（C）は、種々の電子機器の内部ブロック図の例である。

【図21】図21（A）、（B）、（C）は、種々の電子機器の外観図の例である。

【符号の説明】

10 EP1領域（第2の記憶領域）



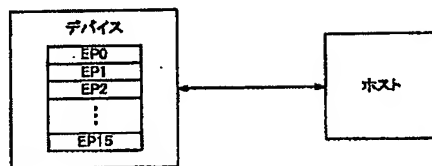
12 CBW領域（第1の記憶領域）  
 SW スイッチ（切り替え手段）  
 20 トランシーバマクロ  
 22 トランシーバ回路  
 24 クロック生成回路  
 30 SIE  
 32 パケットハンドラ回路  
 33 CRC処理回路  
 34 サスペンド&レジューム回路  
 36 トランザクション管理回路  
 40 エンドポイント管理回路  
 42 EP0レジスタ  
 43 EP1レジスタ  
 44 EP2レジスタ  
 50 バッファ管理回路  
 51 CBWアドレス生成回路  
 52 EP0アドレス生成回路

53 EP1アドレス生成回路  
 54 EP2アドレス生成回路  
 56 セレクタ  
 57 セレクタ  
 60 バッファ  
 61 CBW領域（第1の記憶領域）  
 62 EP0領域  
 63 EP1領域（第2の記憶領域）  
 64 EP2領域  
 65 FIFO（CBW）  
 66 FIFO（EP0）  
 67 FIFO（EP1）  
 68 FIFO（EP2）  
 70 バルク転送管理回路  
 80 DMAC  
 82 DMAカウンタ

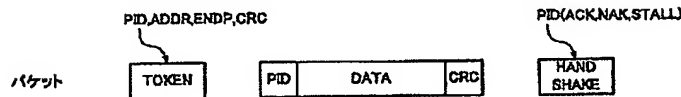
【図1】

【図2】

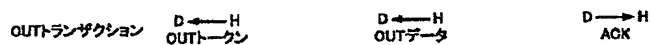
(A)



(B)



(C)



(D)



(A) CBI

EP0 (コントロール) コントロール、コマンド  
 EP1 (バルクアウト) OUTデータ  
 EP2 (バルクイン) INデータ  
 EP3 (インタラプト) インタラプト

(B) Bulk-Only

EP0 (コントロール) コントロール  
 EP1 (バルクアウト) コマンド(CBW), OUTデータ  
 EP2 (バルクイン) ステータス(CSW), INデータ

【図3】

ビット バイト	7	6	5	4	3	2	1	0
0~3	dCBWSignature							
4~7	dCBWTag							
8~11	dCBWDataTransferLength							
12	bmCBWFlags							
13	予約済み(0)				bCBWLUN			
14	予約済み(0)			bCBWCBLength				
15~30	CBWCB							

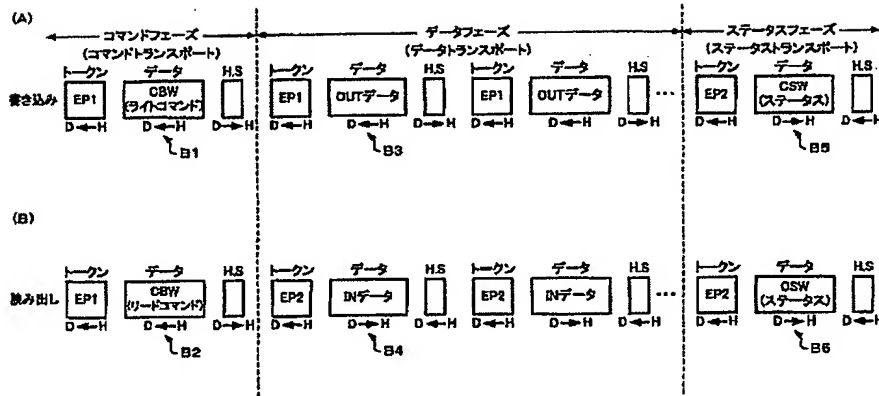
CSW

【図4】

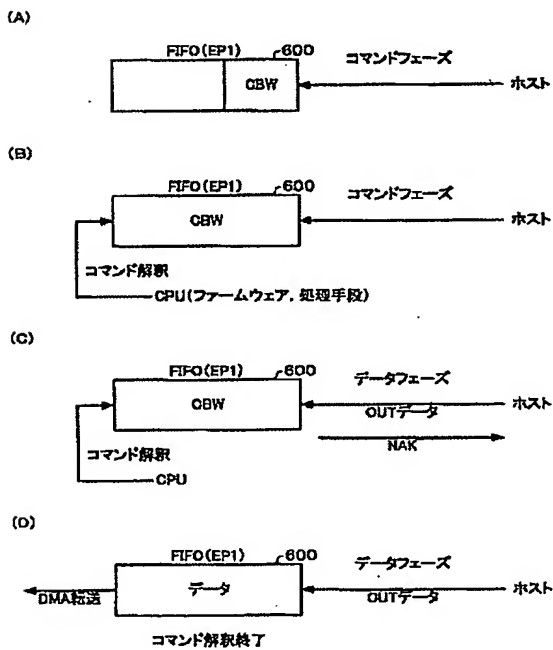
ビット バイト	7	6	5	4	3	2	1	0
0~3	dCSWSignature							
4~7	dCSWTag							
8~11	dCSWDataResidue							
12	bCSWStatus							

CSW

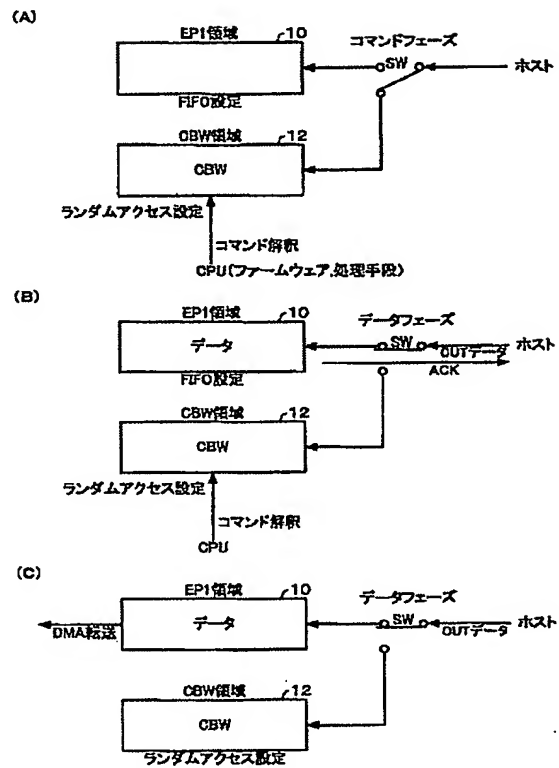
【図5】



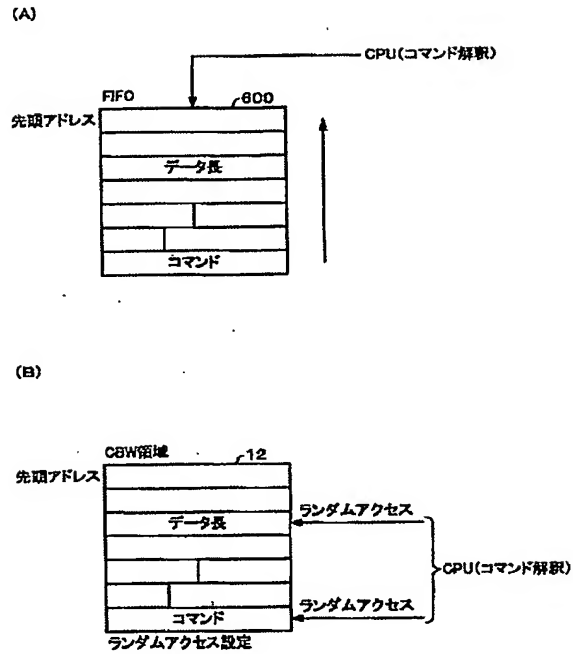
【図6】



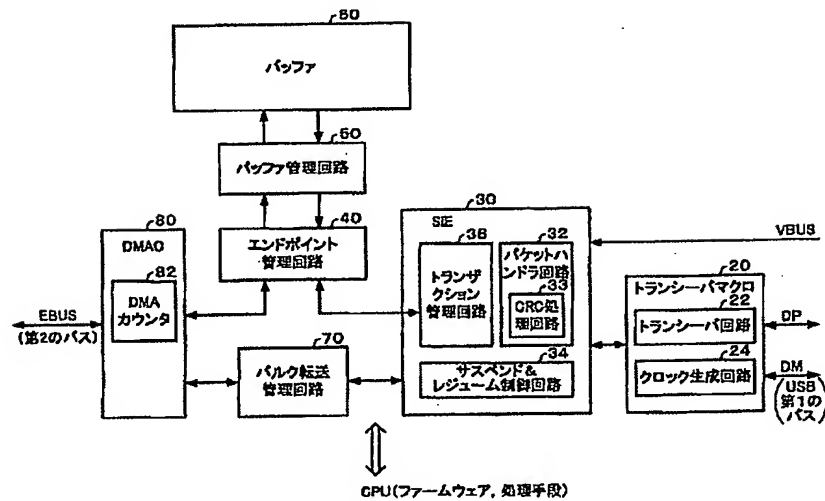
【図7】



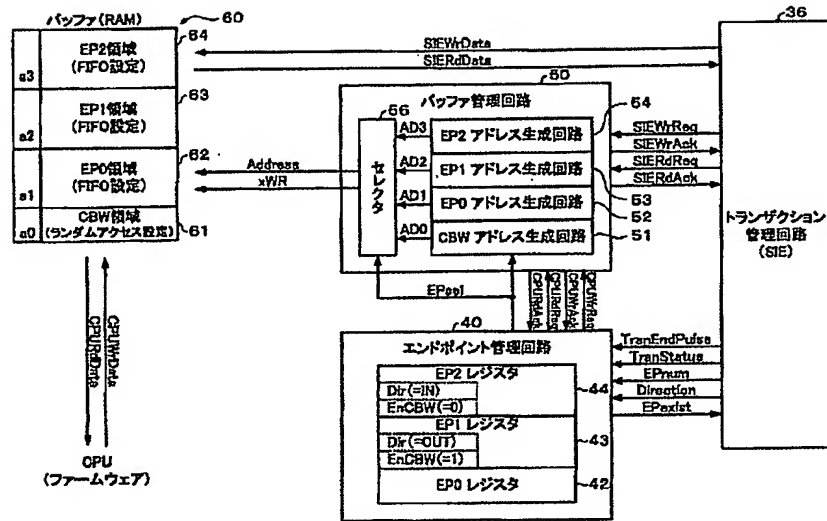
【図8】



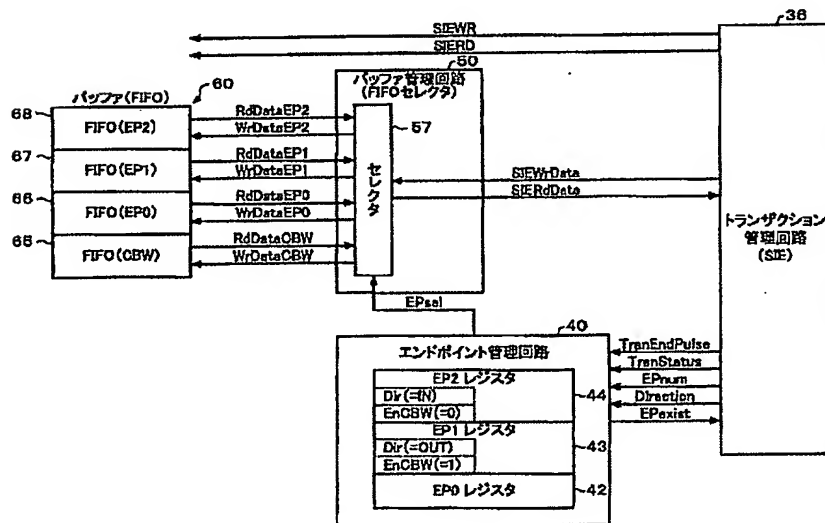
【図9】



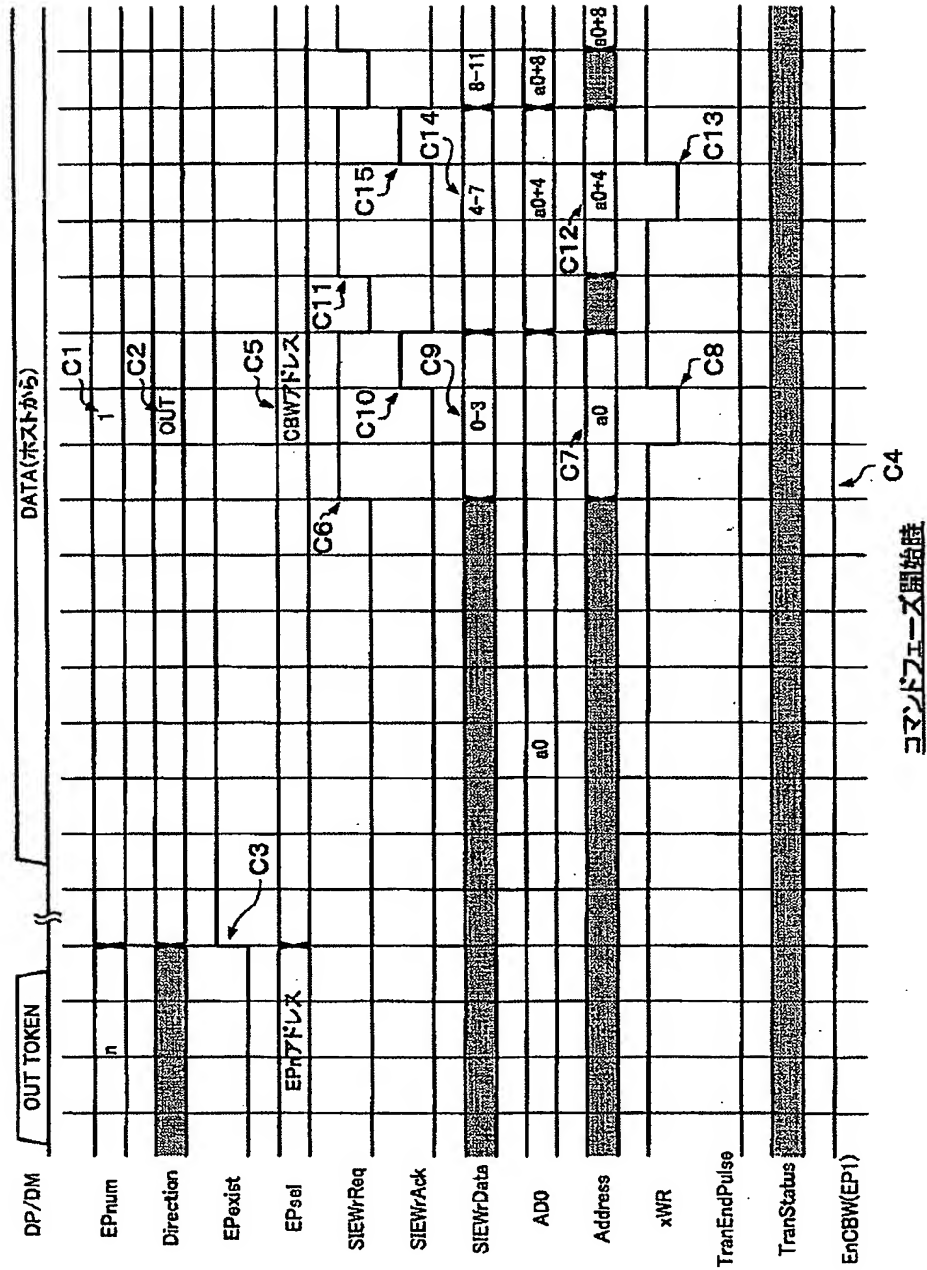
【図10】



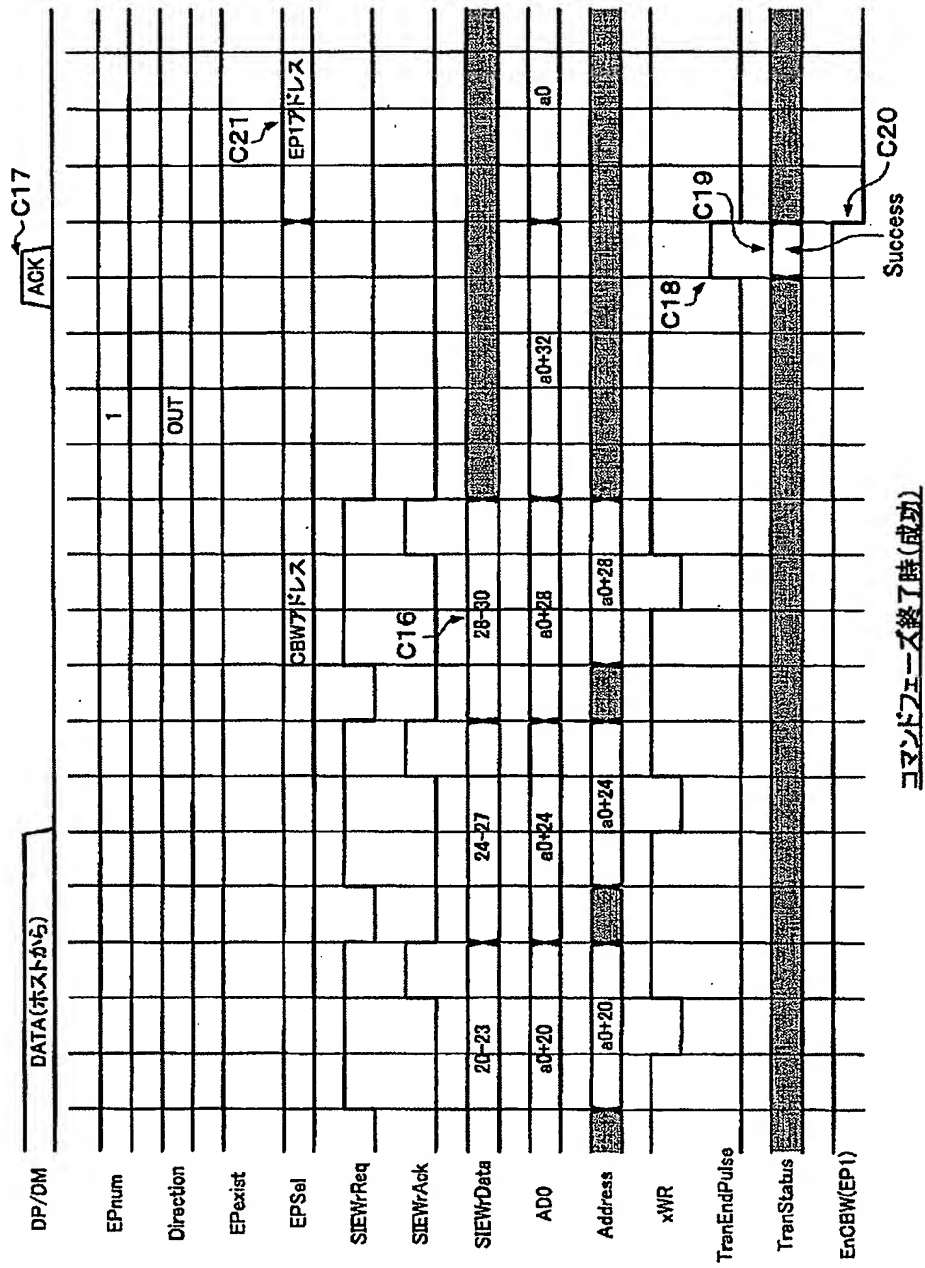
【図11】



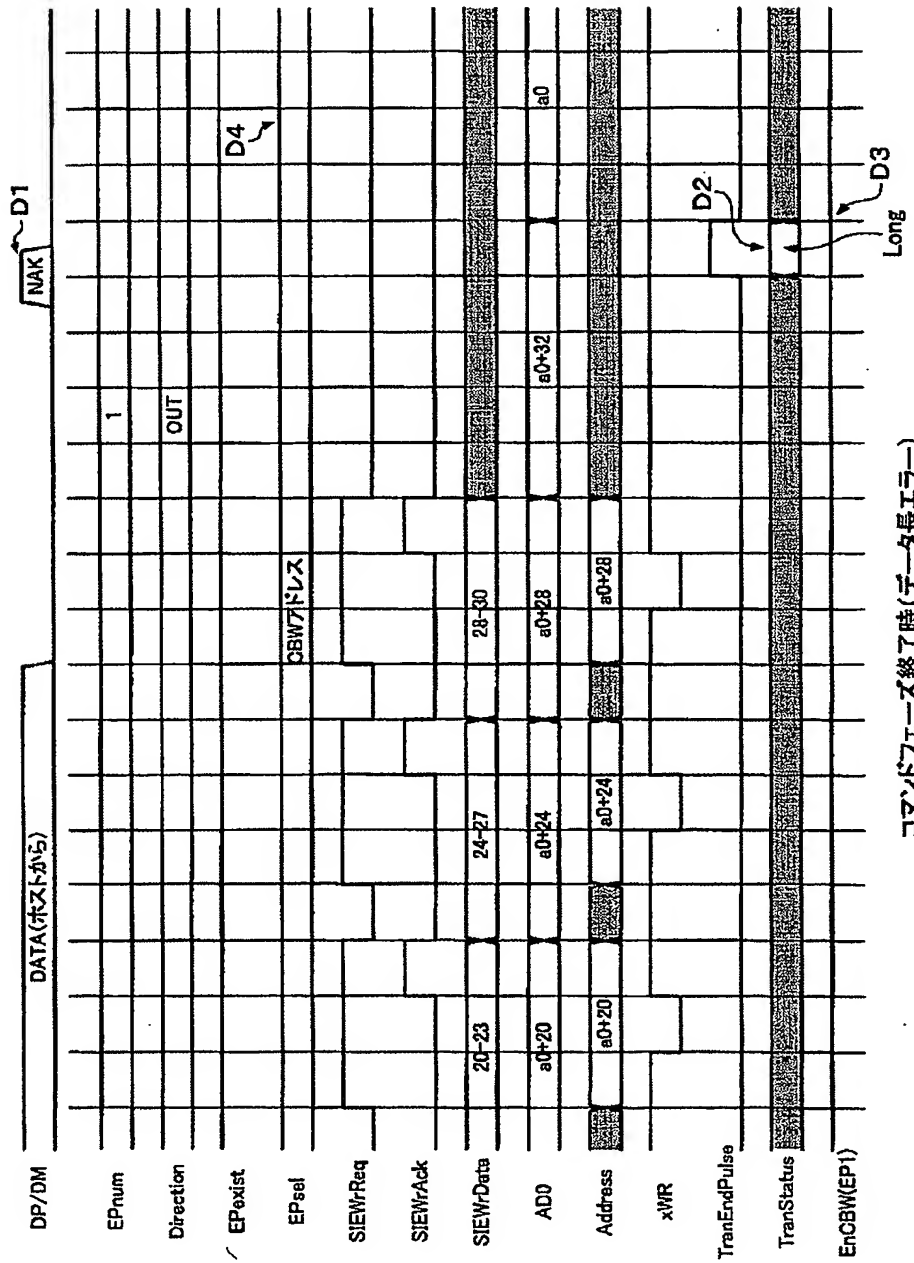
【図12】



【図13】



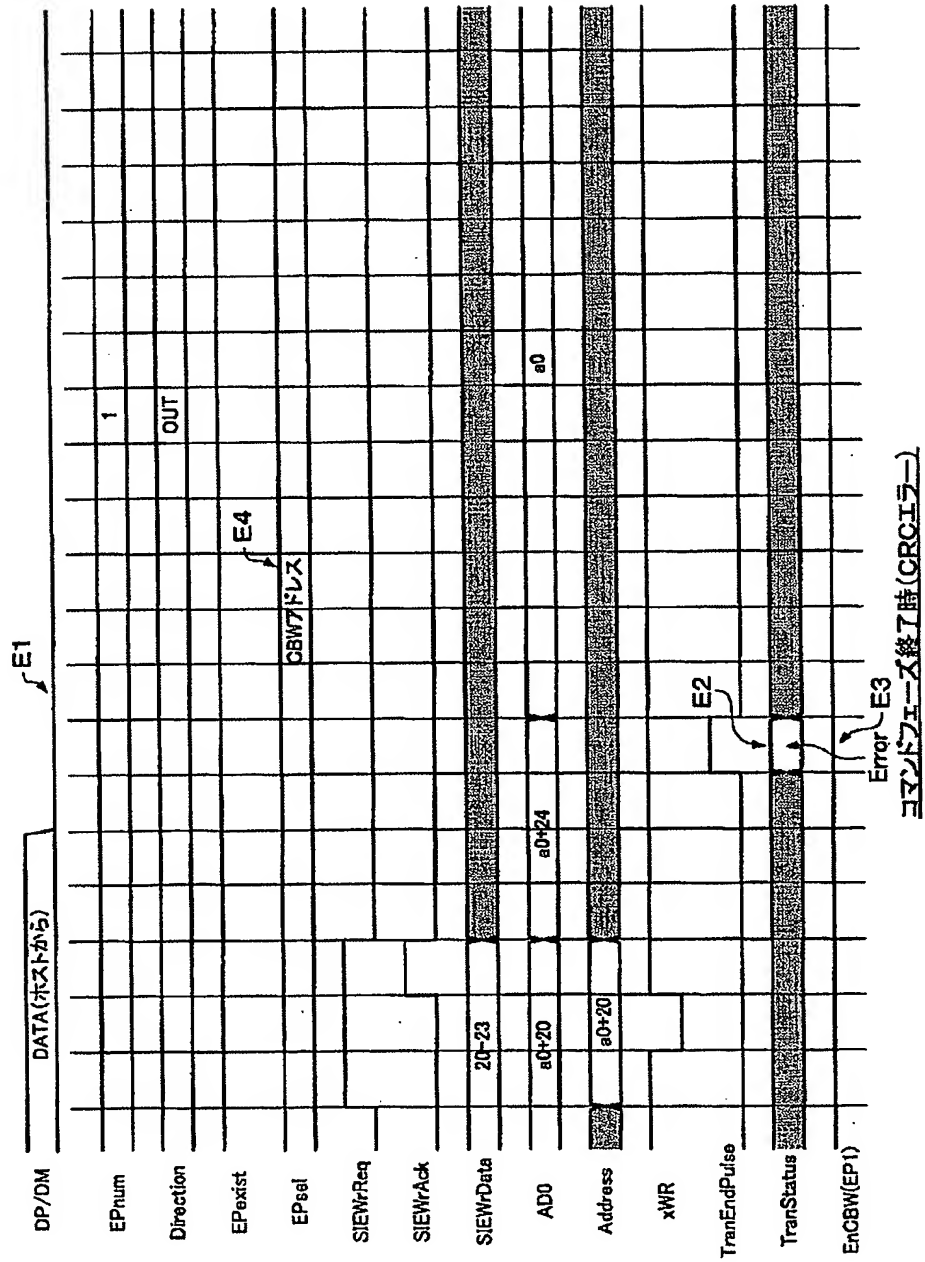
【図14】



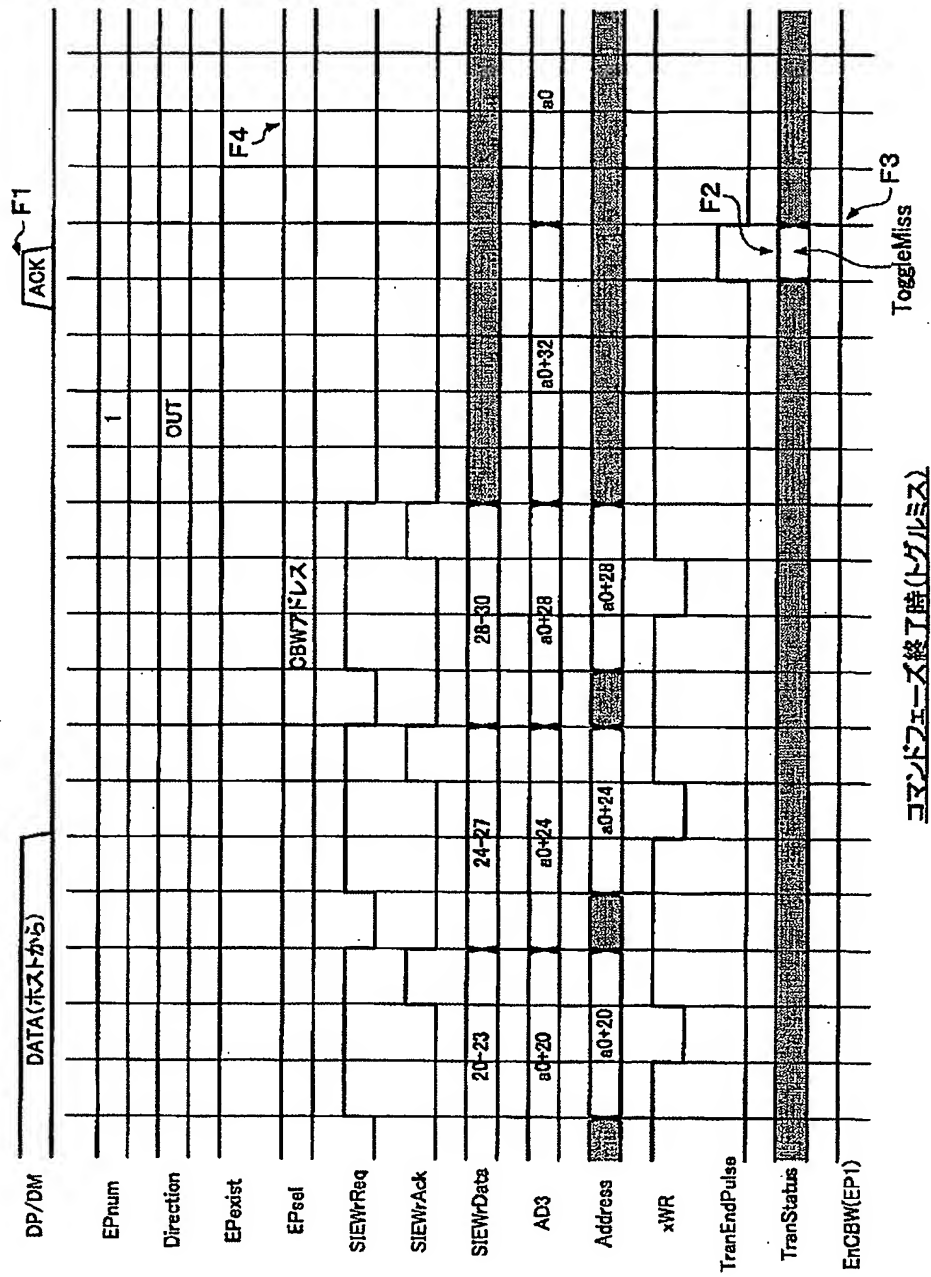
コマンドフェーズ終了時(データ最エラー)



【図15】

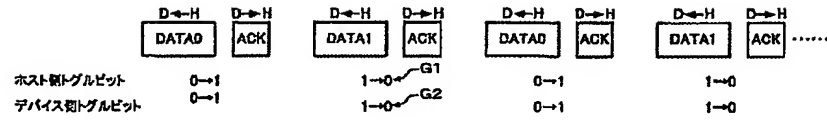


【図16】

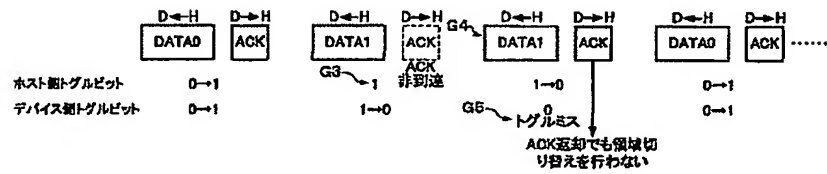


【図17】

(A)

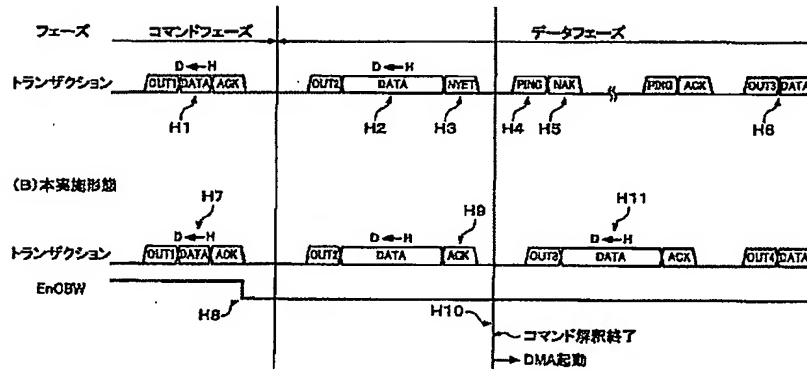


(B)

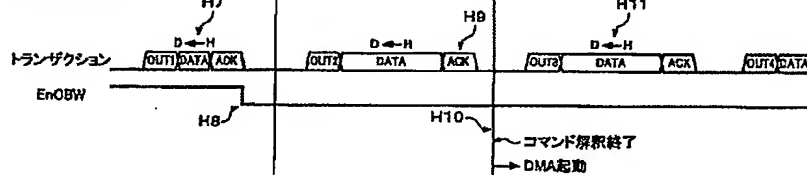


【図18】

(A) 比較例

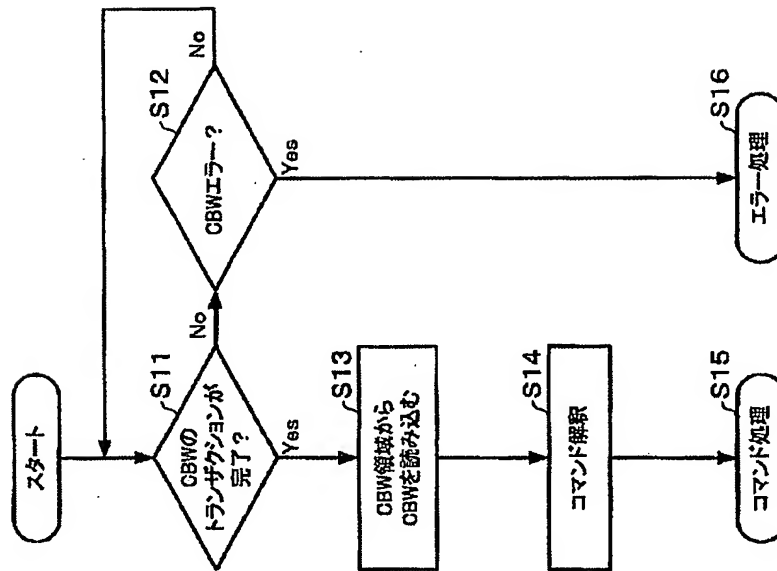


(B) 本実施形態

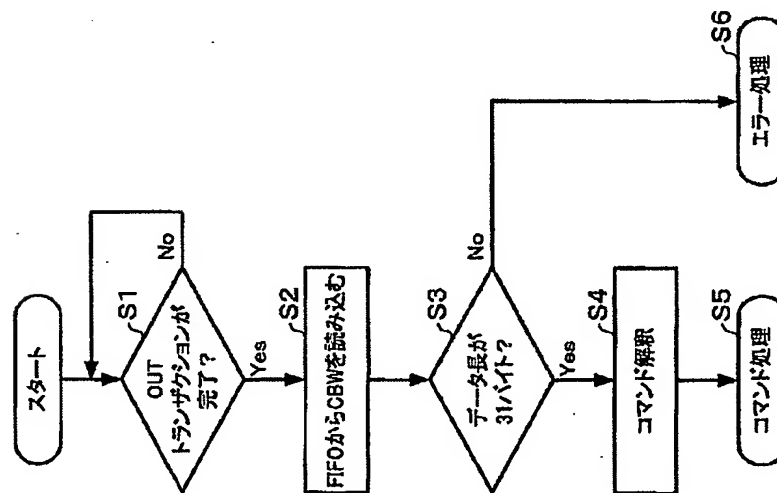


【図19】

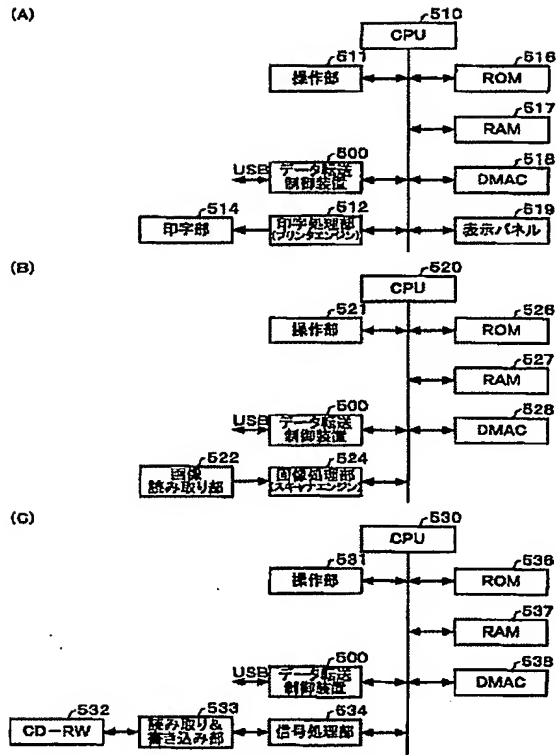
(B) 本実施形態



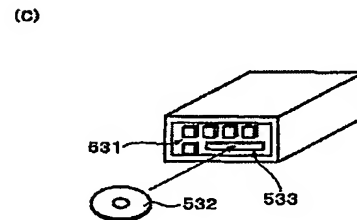
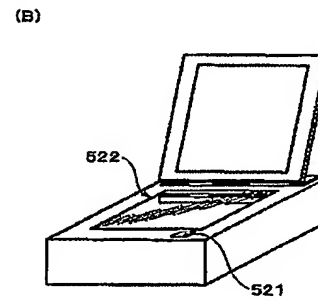
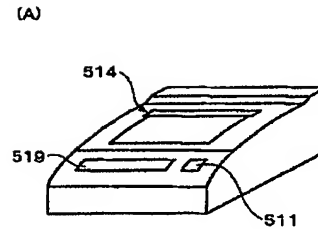
(A) 比較例



【図20】



【図21】



フロントページの続き

Fターム(参考) 5B077 AA14 AA41 BA02 DD02 DD22  
FF03 NN02  
5K034 AA01 DD02 FF12 HH25 HH42

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**